

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-226613

(43) 公開日 平成5年(1993)9月3日

(51) Int.Cl.<sup>5</sup>  
 H 01 L 27/108  
 G 11 C 11/401

識別記号

府内整理番号

F I

技術表示箇所

 8728-4M  
 6628-5L

H 01 L 27/10

3 2 5 N

G 11 C 11/34

3 7 1 K

審査請求 未請求 請求項の数3(全6頁)

(21) 出願番号 特願平4-38

(22) 出願日 平成4年(1992)1月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 野田 研二

東京都港区芝五丁目7番1号日本電気株式  
会社内

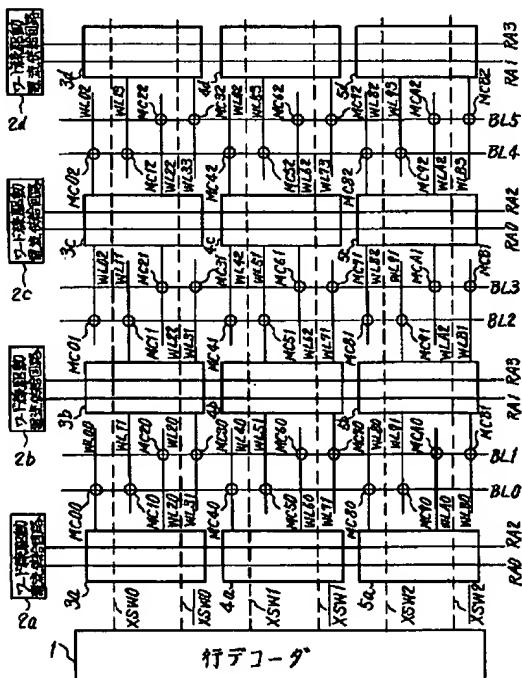
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体メモリ装置

## (57) 【要約】

【目的】 メモリセル上を通過する金属配線のピッチをワード線のピッチの2倍以上にすることによって、金属配線の加工技術に依らずにメモリセルの縮小を可能にする。

【構成】 ワード線を金属配線で裏打ちしなくてもワード線の抵抗による配線遅延が気にならない程度に分割し、ワード線を駆動するのに最低限必要な回路からなるワード線駆動回路3a～5dを分割されたそれぞれのワード線に接続し、メモリセル上をワード線に対して2倍以上のピッチで平行に走る金属配線X SW 0～2, X SW 0～2とワード線駆動回路上をワード線に垂直に走る金属配線RA 0～3によってワード線を選択する。



(2)

特開平5-226613

1

2

## 【特許請求の範囲】

【請求項1】複数のグループに分けられたダイナミック型メモリセルと、該メモリセルの複数のグループのそれぞれのワード線に接続可能な複数のワード線駆動回路と、該ワード線駆動回路を選択するための複数の行デコーダーおよび複数のワード線駆動電流供給回路を有する半導体メモリ装置において、前記行デコーダーの選択信号線が前記メモリセル上をワード線に対して2倍以上のピッチで平行に通過することを特徴とする半導体メモリ装置。

【請求項2】ワード線駆動回路がメモリセルの複数のグループのそれぞれの両側に配置されており、前記メモリセルのワード線が両側のワード線駆動回路に交互に接続されていることを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】メモリセルのワード線が多結晶シリコン単層または、多結晶シリコンと金属シリサイドの積層からなり、行デコーダーの選択信号線が金属層からなることを特徴とする請求項1および請求項2記載の半導体メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体メモリ装置に関し、特にダイナミック型半導体メモリ装置（以下、ダイナミックRAMという）の配線レイアウトおよび構造に関する。

## 【0002】

【従来の技術】従来のダイナミックRAMのメモリセルアレイは、例えば図7に示すようにワード線WL0～5と、ピット線BL0～7と、その交点に配置されたメモリセルMC00～53によって構成され、ワード線WL0～5は通常、層抵抗数十Ωの多結晶シリコンまたは、層抵抗数Ωの金属シリサイドと多結晶シリコンの積層膜からなっていた。また、高速化の要求から実質的なワード抵抗を小さくするために、メモリセル上にワード線WL0～5に沿って同じピッチでアルミニウムに代表される金属配線WL0'～5'を走らせて、一定の間隔でワード線WL0～5と金属配線WL0'～5'がそれぞれ接続され、金属配線WL0'～5'が行デコーダーの出力端子に接続されていた。

【0003】高集積化が進むに連れて、配線ピッチが小さくなる一方、メモリセルは容量を確保するためにスタッカなどの3次元構造となり、金属配線WL0'～5'のようなメモリセルの上を走る配線のメモリセルアレイの内外での段差は、16M以上のダイナミックRAMでは1μm～1.5μmにもなるため、リソグラフィーは大きなフォーカスマージンを必要とする。また、金属配線のエッチングでは一般にレジストとの選択比が小さいために、レジストを厚く塗布しなければならない。このため、多結晶シリコンや金属シリサイド等からなるワード線WL0～5の形成に比べ、金属配線WL0'～5'の形成は非常に困難であり、セル内コンタクトなどの技術が進んできたため、金属配線WL0'～5'の加工限界でメモリセルの寸法が決定されるようになった。

【0004】  
【発明が解決しようとする課題】上述した従来のダイナミックRAMでは、メモリセル上にワード線と同じピッチで金属配線を作成しなければならなかつたため、セル内コンタクトの技術が進んでくると、メモリセルの寸法がメモリセル上を通過する金属配線の加工限界で制限されてしまい、メモリセル縮小の妨げとなっていた。

## 【0005】

【課題を解決するための手段】本発明の半導体メモリ装置は、ワード線が金属配線で裏打ちしなくてもワード線の抵抗による配線遅延が気にならない程度に分割されており、ワード線を駆動するのに最低限必要な回路からなるワード線駆動回路が分割されたそれぞれのワード線に接続され、メモリセル上をワード線に対して2倍以上のピッチで平行に走る第1の金属配線とワード線駆動回路上をワード線に垂直に走る第2の金属配線によってワード線が選択されることを特徴とする。

## 【0006】

【実施例】次に本発明の実施例を図面を用いて説明する。図1は本発明の第1の実施例を示す回路図である。また、図2は図1の3aに代表される本発明で用いたワード線駆動回路の回路図である。メモリセルアレイはワード線を分断する方向に複数のブロックに分割され、ワード線駆動回路3a～d, 4a～d, 5a～dは、全てのブロックの両側に配置され、それぞれのワード線は交互にワード線駆動回路3a～d, 4a～d, 5a～dに接続されている。ワード線WL00～B3がピット線BL0～5と交差する点にメモリセルMC00～B2が配置されているが、ワード線がシリサイドと多結晶シリコンの積層膜からなる場合、ワード線は256本のピット線と交差する程度の長さ以下にするのが望ましい。ワード線駆動回路を選択するために、行デコーダーからは相補信号XSW0～2とXSW0～2がメモリセルアレイ上をワード線に対して2倍のピッチで平行に走り、ワード線駆動回路3～d, 4a～d, 5a～dにそれぞれ接続されている。また、ワード線駆動電流供給信号RA0～3がワード線駆動回路上をワード線に対して垂直に走り、RA0信号とRA2信号がワード線駆動回路3a, 4a, 5a, 3c, 4c, 5cに、RA1信号とRA2信号が3b, 4b, 5b, 3d, 4d, 5dにそれぞれ交互に入力されている。

【0007】ワード線駆動回路3a～d, 4a～d, 5a～dはセルフ・ブート型の駆動回路2台で構成されている。図3は本発明で用いたワード線駆動回路の動作を示す波形図である。例えば、XSW0とRA0が選択されたとすると、XSW0, XSW0信号によってN型ト

(3)

特開平5-226613

3

ランジスタQ23, Q26がオフして、節点21, 22が電源電位からN型トランジスタQ22, Q25のしきい値電圧分降下した電位付近まで上がった後、RA0が昇圧電位まで上昇することによって節点21の電位が容量結合でRA0よりも高い電位に上昇し、ワード線WL00がRA0と同じ電位まで上昇する。このとき、3aだけでなく3cでも同様にしてWL02の電位が上昇し、メモリセルMC00, MC01, MC02が選択される。

【0008】図4は本発明の第2の実施例を示す回路図である。また、図5は図4の3aに代表される本発明で用いたワード線駆動回路の回路図である。メモリセルアレイはワード線を分断する方向に複数のブロックに分割され、ワード線駆動回路3a～8dは、全てのブロックの両側に配置され、それぞれのワード線は交互にワード線駆動回路3a～8dに接続されている。ワード線駆動回路を選択するために、行デコーダーからはXSW0～5がメモリセルアレイ上をワード線に対して2倍のピッチで平行に走り、ワード線駆動回路3a～d, 4a～d, 5a～d, 6a～6d, 7a～7d, 8a～8dにそれぞれ接続されている。また、ワード線駆動電流供給信号RA0～1がワード線駆動回路上をワード線に対して垂直に走り、RA0信号がワード線駆動回路3a～8a, 3c～8cに、RA1信号が3b～8b, 3d～8dにそれぞれ交互に入力されている。

【0009】ワード線駆動回路3a～8dはCMOS構成の駆動回路2台で構成されている。図6は本発明で用いたワード線駆動回路の動作を示す波形図である。例えば、XSW0とRA0が選択されたとすると、XSW0信号によってN型トランジスタQ52がオフして、P型トランジスタQ51のゲート電位が接地電位となった後、RA0が昇圧電位まで上昇することによって、Q51がオン状態になり、ワード線WL01がRA0と同じ電位まで上昇する。このとき、3aだけでなく3cでも同様にしてWL02の電位が上昇する。本実施例は、ワード線駆動回路をCMOS構成にしているので、行デコーダーの出力を相補信号にする必要がなく、最少の信号線でワード線駆動回路を選択することが出来る。

【0010】

【発明の効果】以上説明したように本発明は、メモリセルアレイ上を走る金属配線がワード線の2倍以上のピッチで形成されているため、金属配線の加工限界に左右される事なく容易にメモリセルの縮小化を行うことが可能

4

となる。

【図面の簡単な説明】

【図1】本発明の第1実施例の回路図である。

【図2】第1実施例のワード線駆動回路の回路図である。

【図3】第1実施例のワード線立ち上げ時の動作を示す各部信号の波形図である。

【図4】本発明の第2実施例の回路図である。

【図5】第2実施例のワード線駆動回路の回路図である。

【図6】第2実施例のワード線立ち上げ時の動作を示す各部信号の波形図である。

【図7】従来例の回路図である。

【符号の説明】

1 行デコーダー

2a, 2b, 2c, 2d ワード線駆動電流供給回路  
3a, 3b, 3c, 3d, 4a, 4b, 4c, 4d, 5a, 5b, 5c, 5d, 6a, 6b, 6c, 6d, 7a, 7b, 7c, 7d, 8a, 8b, 8c, 8d

ワード線駆動回路

WL0, WL1, WL2, WL3, WL4, WL5, WL00, WL02, WL11, WL13, WL20, WL22, WL31, WL33, WL40, WL42, WL51, WL53, WL60, WL62, WL71, WL73, WL80, WL82, WL91, WL93, WLA0, WLA2, WLB1, WLB3

ワード線

WL0'～WL5' ワード線裏打ち金属配線  
XSW0, XSW1, XSW2, XSW3, XSW4, XSW5, XSW0, XSW1, XSW2, XSW3, XSW4, XSW5 行デコード信号

MC00, MC01, MC02, MC10, MC11, MC12, MC20, MC21, MC22, MC30, MC31, MC32, MC40, MC41, MC42, MC50, MC51, MC52, MC60, MC61, MC62, MC70, MC71, MC72, MC80, MC81, MC82, MC90, MC91, MC92, MCA0, MCA1, MCA2, MCB0, MCB1, MCB2

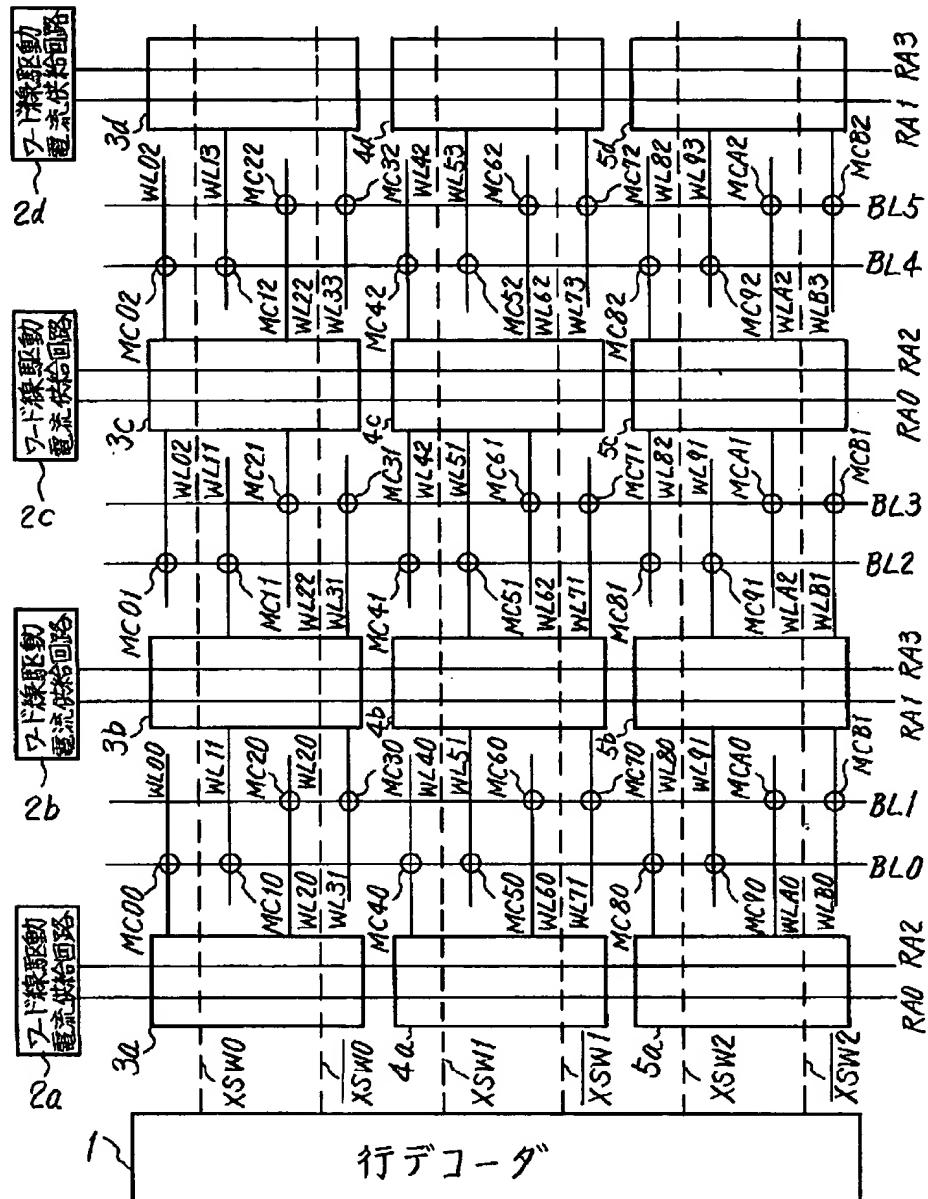
40 メモリセル

Q21, Q22, Q23, Q24, Q25, Q26, Q52 N型トランジスタ  
Q51 P型トランジスタ

(4)

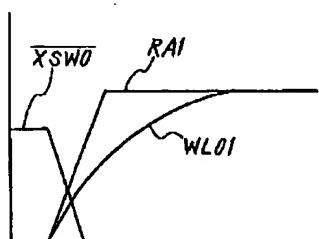
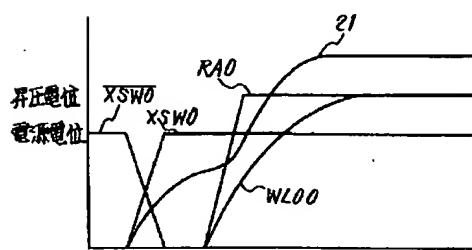
特開平5-226613

【図1】



【図3】

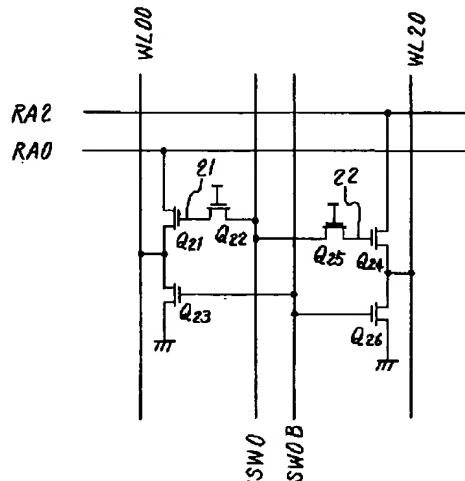
【図6】



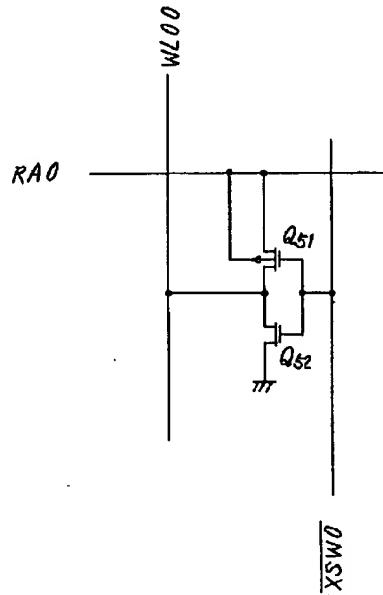
(5)

特開平 5-226613

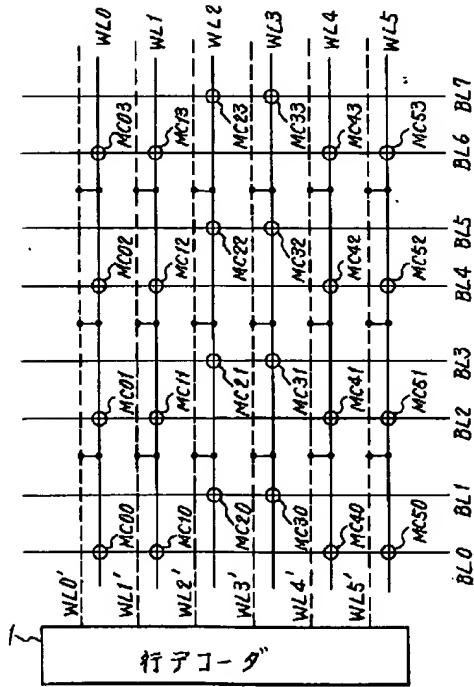
【図2】



【図5】



【図7】



(6)

特開平5-226613

[四]

